

MF

★NIDE

U11 U13

96-430694/43

★JP 8213577-A

Semiconductor integrated circuit with gate array system - includes several reinforced power supply wirings that connect first power supply layers with second power supply layers and standard cells

NEC CORP 95.02.02 95JP-035899

(96.08.20) II01L 27/118, 21/82

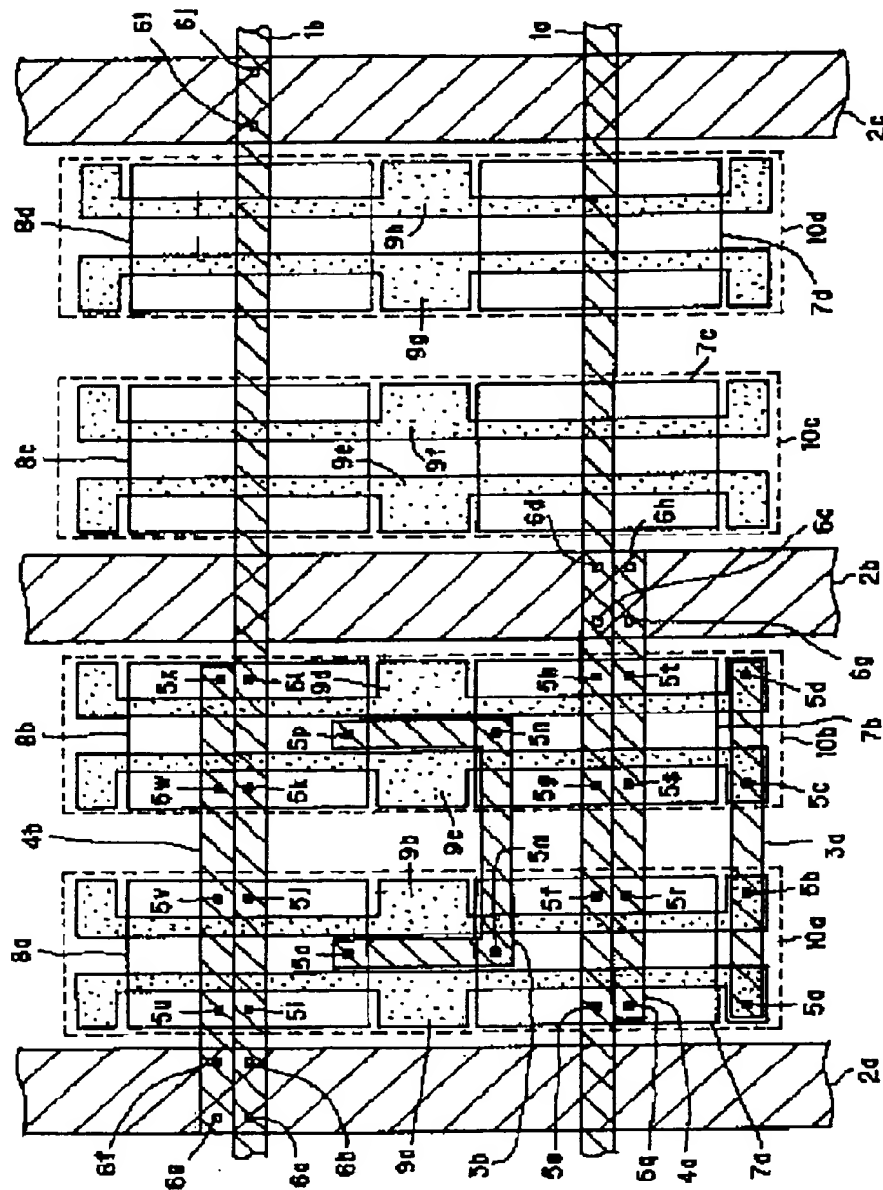
The device has several standard cells (10a-10d) provided with p type diffusion layers (8a-8d) and n type diffusion layers (7a-7d). A gate electrode (9a-9h) is sandwiched between the p and n type diffusion layers. Several first power supply layers (1a,1b) are formed across the p and n type diffusion layers, intersecting perpendicularly with the gate electrodes. Several second power supply layers (2a-2c) are formed alternating with the standard cells, parallel to the gate electrodes.

Reinforced power supply wirings (4a,4b) connect the first power supply layers with the second power supply layers and the standard cells. The standard cells are provided with corresp. wirings to produce a functional block which is supplied with large power. The first power supply layers are connected to the second power supply layers through a number of through-holes.

ADVANTAGE - Ensures wiring area in functional block and available standard cell; reinforces power supply line for large power on standard cell; supplies current only to required functional block. (7pp Dwg.No.1/4)

N96-363059

U11-D03C1 U13-C04D U13-E02



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-213577

(43) 公開日 平成8年(1996)8月20日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/118

21/82

H 0 1 L 21/ 82

M

L

審査請求 有 請求項の数 4 F D (全 7 頁)

(21) 出願番号 特願平7-35899

(22) 出願日 平成7年(1995)2月2日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 金子 伴行

東京都港区芝五丁目7番1号 日本電気株式会社内

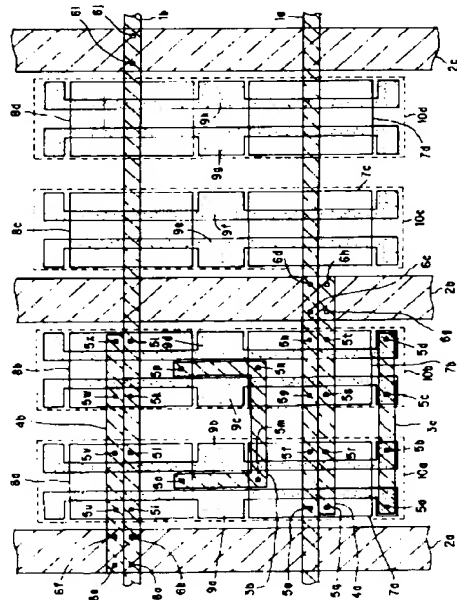
(74) 代理人 弁理士 尾身 祐助

(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【目的】 低消費電流の機能ブロックや未使用セルでの配線領域を確保できるようにするとともに、大消費電流の機能ブロックのみ電流供給能力を高める。

【構成】 図の右側の2セルにより4倍のゲート幅のインバータが構成されている。第1層電源線1a、1bは、n型拡散層7a～7d又はp型拡散層8a～8dを横切って配線され、第2層の電源線2a、2b、2cは、セル間に縦方向に配線される。第1層の電源線1a、1bはスルーホールを介して第2層の電源線2b、2aに接続されると共にコンタクトホールを介してn型拡散層7a、7b；8a、8bと接続される。第1層の電源線1a、1bに沿って この電源線を強化する為の第1層の強化電源配線4a、4bが配線され これらの強化電源配線もスルーホールを介して第2層の電源線2b、2aと接続されるとともに、コンタクトホールを介してn型拡散層又はp型拡散層に接続される。



AC

【特許請求の範囲】

【請求項1】 ゲート電極とこのゲート電極を挟むp型拡散層およびn型拡散層とを備えた基本セルが規則的に配置され、前記ゲート電極に直交し前記n型拡散層を横切る第1の第1層電源線と、前記ゲート電極に直交し前記p型拡散層を横切る第2の第1層電源線と、複数の基本セル置きに交互に形成された前記ゲート電極と並行に走る第1および第2の第2層電源線とを備え、第1、第2の第1層電源線がそれぞれ第1、第2の第2層電源線とスルーホールを介して接続され、選択された基本セルに所望の配線が施されて機能ブロックが構成されている半導体集積回路装置において、消費電流の大きい機能ブロックには前記第1および第2の第1層電源線に接してこれを補強する追加の電源線が設けられこれらの追加の電源線は別途他の層の電源線に接続されていることを特徴とする半導体集積回路装置。

【請求項2】 前記追加の電源線が前記第1および第2の第2層電源線にスルーホールを介して接続されていることを特徴とする請求項1記載の半導体集積回路装置。

【請求項3】 前記基本セルの行を挟んで第1および第2の第3層電源線が形成され、前記追加の電源線が第2層の配線層を介して前記第1および第2の第3層電源線に接続されていることを特徴とする請求項1記載の半導体集積回路装置。

【請求項4】 前記第1または第2の第3層電源線を挟む基本セル行同士では、n型拡散層とp型拡散層とが線対称の関係に配置されていることを特徴とする請求項3記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体集積回路装置に関し、特にゲートアレイ方式にて構成された半導体集積回路装置に関するものである。

【0002】

【従来の技術】ゲートアレイ方式の半導体集積回路装置の製造方法は、予め基本セルと呼ばれる素子が規則的に作り込まれた共通の半導体基板（マスタウエハ）を用い、個別の半導体集積回路装置の回路構成に応じて配線を行い、所望の製品を得る方式である。この方式では、ライブラリに登録されたレイアウト情報と標準化された設計手法を用いることにより、比較的短期間で比較的安価な開発費で目的の半導体集積回路装置を開発することができ、

【0003】而して、ゲートアレイとしては各種の素子を用いるものか開発されているが、最も広く採用されているものはCMOS型のゲートアレイである。図3は、この種の従来のゲートアレイ方式の半導体集積回路装置のレイアウト図である。ここでは、説明の簡略化のためpウェルやnウェル、またそれぞれのウェルやサブストレートに対するコンタクトについては省略されている。

【0004】図3に示されるように、ゲートアレイの基本セル10aは、n型拡散層7a、p型拡散層8aおよびゲート電極9a、9bを有している。基本セル10b、10c、10dは基本セル10aと同様の構成を有する基本セルである。第1層の電源線1aは、基本セル10a～10dのn型拡散層7a～7dの上を横切るように配線され、第1層の電源線1bは、基本セル10a～10dのp型拡散層8a～8dの上を横切るように配線されている。

【0005】第2層の電源線2a、2b、2cは、基本セルと個おきに配線され、第2層の電源線2aと2cは、1、2層間スルーホール6a、6b、6f、6jにより、第1層の電源線1bに接続され、第2層の電源配線2bは、1、2層間スルーホール6c、6dにより、第1層の電源線1aに接続されている。

【0006】第1層の電源配線1bは、コンタクトホール5i、5jを介してp型拡散層8aと接続されており、第1層の電源配線1aは、コンタクトホール5iを介してn型拡散層7aと接続されている。また、第1層の配線3cは、コンタクトホール5yを介してp型拡散層8aと接続され、コンタクトホール5zを介してn型拡散層7aと接続されている。

【0007】基本セル10a、10bのような1つの基本セルでは、それぞれの拡散層で、2個ずつのMOSトランジスタが形成されており、この4個のトランジスタにより、1セルで2入力のNANDやNORなどのCMOS論理ゲートを構成することかできるものである。ゲートアレイは、この基本セルを縦横に複数配置したものととして構成される。また、図示された例では、機能ブロックは、基本セルに、第1層の配線3cおよびコンタクトホール5f、5i、5j、5y、5zを付加することにより構成されている。そして、図3の基本セル10aの部分では、第1層の電源線1aを低電位側、第1層の電源線1bを高電位側として、2入力のCMOSNANDゲートの機能ブロックを配置した状態に対応する。

【0008】ここで、第1層の電源線1a、1b、第2層の電源線2a、2b、2cは機能ブロックにより影響を受けないマスタの部分の配線で、特に、第1層の電源線1a、1b、第2層の電源線2a、2b、2cは基本セルへの電流供給能力や電源の電圧降下を考慮した一定の幅で配線されている。

【0009】図4は、従来のゲートアレイの他の例を示す。これは、特開平2-306648号公報により提案されたものであって、図4のゲートアレイでも、基本セルの構成は図3の場合と同様である。

【0010】第1層の電源線1cは、各基本セルのn型拡散層7a～7dの上に配線され、第1層の電源線1dは、各基本セルのp型拡散層8a～8dの上に配線される。第2層の補助電源配線14aは、1、2層間スルーホール6m、6nにより第1層の電源線1dに接続さ

れ、第2層の補助電源配線14bは、1-2層間スルーホール6pにより第1層の電源線1aに接続されている。

【0011】図4と図3の違いは、第1層の電源線1c、1dが一定の幅ではなく、機能ブロックが配置されないエリア。ここでは基本セル10b、10cの部分から機能ブロックの配置される他の部分より幅が増加しており、その部分への電源供給のために第2層の補助電源配線14a、14bが設けられている点である。

【0012】

【発明が解決しようとする課題】図3に示した従来のゲートアレイでは、第1層の電源線は機能ブロックの消費電力等を考慮してその幅を決定していたが、基本セルに占めるその幅があまり大きくなると、機能ブロックが構成し難くなったり、また未使用の場合の配線チャンネルが減少する等の問題があり、ある程度の幅とし機能ブロックの配置や負荷等に制限を設けることにより対応してきた。したがって、従来例のゲートアレイでは高機能の半導体集積回路装置を構成することが困難であるという問題点があり、また設計の自由度が制限を受けていた。

【0013】図4に示されたゲートアレイ場合、機能ブロック部分は細い第1層の電源線として配線チャンネルを確保し、未使用のセル部分のみ第1層の電源線を大きくして電源供給の安定性を図っていたが、全ての機能セルの部分は同一幅の電源線であるため、図3に示した従来例と同様に、機能ブロックの配置や負荷等に制限を設けなければならないものであった。

【0014】本発明はこの点に鑑みてなされたものであって、その目的は、第1層の電源線を所定の(細い)幅として、低消費電流の機能ブロックでのコンタクト領域を確保し、未使用セル領域での配線領域を確保するとともに、大消費電流の機能ブロックには十分な電流を供給しうるようにしてゲートアレイ方式半導体集積回路装置の高機能化を図ることである。

【0015】

【課題を解決するための手段】上記目的を達成するため、本発明によれば、ゲート電極(9a、9b、...)とこのゲート電極を挟むp型拡散層(8a、...)およびn型拡散層(7a、...)とを備えた基本セル(10a、...)が規則的に配置され、前記ゲート電極に直交し前記n型拡散層を横切る第1の第1層電源線(1a)と、前記ゲート電極に直交し前記p型拡散層を横切る第2の第1層電源線(1b)と、複数の基本セル置きに交互に形成された前記ゲート電極と並行に走る第1および第2の第2層電源線(2a、2b、...)とを備え、第1、第2の第1層電源線がそれぞれ第1、第2の第2層電源線とスルーホール(6c、6d、..., 6a、6b、...)を介して接続され、選択された基本セルに所望の配線が施されて機能ブロックが構成されるものであって、消費電流の大きい機能ブロックには前記第1および第2の第1層

電源線に接してこれを補強する追加の電源線(4a、4c、4b、4d)が設けられこれらの追加の電源線は別途他の層の電源線(2b、13a、2a、13b)に接続されていることを特徴とする半導体集積回路装置、が提供される。

【0016】

【実施例】次に、本発明の実施例について図面を参照して説明する。図1は、本発明の第1の実施例のレイアウト図である。ここでは、説明の簡略化のためpウエルやnウエル、またそれぞれのウエルやサブストレートに対するコンタクトについては省略し、また、消費電力に合わせて増加されるコンタクトホールについても適宜省略した。

【0017】図1において、ゲートアレイの基本セル10aは、n型拡散層7a、p型拡散層8a、ゲート電極9a、9bとを有している。基本セル10b、10c、10dも基本セル10aと同様の構成を有する基本セルである。

【0018】第1層の電源線1aは、基本セル10a~10dのn型拡散層7a~7dの上を横切るように配線され、第1層の電源線1bは、基本セル10a~10dのp型拡散層8a~8dの上を横切るように配線されている。第2層の電源線2a、2b、2cは、基本セル2個おきに配線され、第2層の電源線2aと2cは、1-2層間スルーホール6a、6b、6f、6jにより、第1層の電源線1bに接続されている。また、第2層の電源配線2bは、1-2層間スルーホール6c、6dにより、第1層の電源線1aに接続されている。

【0019】第1層の配線3aは、コンタクトホール5a、5b、5c、5dを介してゲート電極9a、9b、9c、9dと接続されている。第1層の配線3bは、コンタクトホール5m、5nを介してn型拡散層7a、7bと接続され、また、コンタクトホール5o、5pを介してp型拡散層8a、8bと接続されている。第1層の電源線1aは、コンタクトホール5e、5f、5g、5hを介してn型拡散層7a、7bと接続されており、また、第1層の電源線1bは、コンタクトホール5i、5j、5k、5lを介してp型拡散層8a、8bと接続されている。

【0020】また、第1層の強化電源配線4aは、第1層の電源線1aに接して配線され1-2層間スルーホール6g、6hにより第2層の電源線2bに接続され、また、コンタクトホール5q、5r、5s、5tを介して、n型拡散層7a、7bに接続されている。第1層の強化電源配線4bは、第1層の電源線1bに接して配線され1-2層間スルーホール6e、6fにより第2層の電源線2aに接続され、また、コンタクトホール5n、5v、5w、5xを介して、p型拡散層8a、8bに接続されている。

【0021】ここでの機能ブロックは、基本セルに、第

1層の配線3 a、3 bと、コンタクトホール5 a～5 pと、電源強化のため設けられた第1層の強化電源配線4 a、4 bと、1～2層間スルーホール6 e、6 f、6 g、6 hと、コンタクトホール5 q～5 xを追加することにより構成されている。そして、図1の基本セル10 a、10 bの部分により、第1層の電源線1 aを低電位側、第1層の電源線1 bを高電位側として、4倍のゲート幅を持つMOSインバータの機能ブロックが構成されている。

【0022】この実施例の場合のように、4倍幅のインバータなどの回路は、一般に負荷の大きな場合等に使用されるものであるため、消費電力も大きい。第1層の電源線1 a、1 bは、チップやマイクロレベルで一定の幅であり、横に並ぶ基本セルにより消費される電力等を考慮してその幅を決定されている。この配線幅を、この実施例の場合のような消費電力の大きなブロックを中心に決定した場合、実際に使用されることの多いセルのみで構成される2入力NANDのような回路に対しては過剰な幅となる。その一方、機能ブロックを構成する際の拡散層上のコンタクトをとる場所が減少する、機能ブロックを構成する配線の引き回し場所が減少する、未使用の基本セル上の配線領域が減少する等の問題が発生する。

【0023】そこで、本発明の第1の実施例では、第1の電源線1 a、1 bの幅は1セルのみで構成されるような消費電力の大きい通常のブロックを中心に決定し、4倍のインバータのような消費電力の大きなブロックでは、その機能ブロック内に第1層の電源線1 a、1 bに対し不足する分程度の電流を流すことのできる第1層の強化電源配線4 a、4 bを設け、この強化電源配線と1～2層間スルーホール6 e、6 f、6 g、6 hを介して、第2層の電源線2 a、2 bと接続し、またコンタクトホール5 u～5 x、5 q～5 tを介してp型拡散層8 a、8 b、n型拡散層7 a、7 bと接続している。

【0024】本発明による第1層の強化電源配線は、大消費電流の機能ブロック内にのみ形成されるものであるため、未使用の基本セル上の配線領域の減少を招くことなしに、また低消費電流の機能ブロックにおけるコンタクトや配線に対する障害を与えることなしに、必要な機能ブロックへの電流供給能力を向上させることができる。この実施例のような場合、機能ブロックを配置する際、第2層の電源線の位置や電源の極性を意識する必要性がある。この実施例では、CADの自動配置ツールの認識する基本セル上の機能ブロックの配置の向きを第2層の電源線の左右の2セルごとに異ならせる等の処理をすることにより、自動配置が可能になる。

【0025】図2は、本発明の第2の実施例を示すレイアウト図である。図2において、ゲートアレイの基本セル10 aは、n型拡散層7 a、p型拡散層8 a、ゲート電極9 a、9 bとを有する。基本セル10 b、10 c、10 d、10 eも基本セル10 aと同様の構成を有す

る。

【0026】第1層の電源線1 aは、基本セル10 a～10 eのn型拡散層7 a～7 eの上を横切るように配線され、第1層の電源線1 bは、基本セル10 a～10 eのp型拡散層8 a～8 eの上を横切るように配線されている。第2層の電源線2 a、2 bは、基本セル左右方向4個おきに配線され、第2層の電源線2 aは、1～2層間スルーホール6 a、6 bにより、第1層の電源線1 bに接続され、第2層の電源配線2 bは、1～2層間スルーホール6 c、6 dにより、第1層の電源線1 aに接続される。

【0027】第3層の電源線13 a、13 bは、基本セル上下方向1個おきに配線され、第2層の電源線2 aは、2～3層間スルーホール11 a、11 b、11 c、11 dにより、第3層の電源線13 bに接続され、第2層の電源配線2 bは、2～3層間スルーホール11 e、11 f、11 g、11 hにより、第3層の電源線13 aに接続されている。

【0028】第1層の配線3 aは、コンタクトホール5 a～5 b、5 e、5 dを介してゲート電極9 e、9 d、9 e、9 fと接続されている。第1層の配線3 bは、コンタクトホール5 m、5 nを介してn型拡散層7 b、7 cと接続され、また、コンタクトホール5 o、5 pを介してp型拡散層8 b、8 cを接続されている。第1層の電源線1 aは、コンタクトホール5 e、5 f、5 g、5 hを介してn型拡散層7 b、7 cと接続されており、また、第1層の電源線1 bは、コンタクトホール5 i、5 j、5 k、5 lを介してp型拡散層8 b、8 cと接続されている。

【0029】第1層の強化電源配線4 cは、第1層の電源線1 aに接して配線され、1～2層間スルーホール6 kを介して第2層の強化電源配線12 bに接続され、さらに2～3層間スルーホール11 rを介して第3層の電源線13 aに接続されている。第1層の強化電源配線4 eは、コンタクトホール5 q、5 r、5 s、5 tを介してn型拡散層7 b、7 cと接続されている。

【0030】第1層の強化電源配線4 dは、第1層の電源線1 bに接して配線され、1～2層間スルーホール6 lを介して第2層の強化電源配線12 aに接続され、さらに2～3層間スルーホール11 iを介して第3層の電源線13 bに接続されている。第1層の強化電源配線4 dは、コンタクトホール5 u、5 v、5 w、5 xを介してp型拡散層8 b、8 cと接続されている。

【0031】この第2の実施例においては、機能ブロックは、基本セルに、第1層の配線3 a、3 bと、第1層の強化電源配線4 c、4 dと、第2層の強化電源配線12 a、12 bと、コンタクトホール5 a～5 xと、1～2層間スルーホール6 k、6 lと、2～3層間スルーホール11 i、11 jとを追加することにより構成されている。そして、図2の基本セル10 b、10 cの部分

は、第1層の電源線1aを低電位側、第1層の電源線1bを高電位側として、4倍のゲート幅を持つCMOSインバータの機能ブロックが配置された状態となっている。

【0032】本実施例においても、第1の実施例の場合と同様に、第1層および第2層の強化電源配線は、大消費電流の機能ブロック内にのみ形成されるものであるため、未使用の基本セル上の配線領域の減少を招くことなしに、また低消費電流の機能ブロックにおけるコンタクトや配線に対する障害を与えることなしに、必要な機能ブロックへの電流供給能力のみを向上させることができる。

【0033】ところで、[4]に示した第1の実施例の場合、第1層の強化電源配線を基本セル上の第1層の電源線に沿って配線し、これを引き延ばして第2層の電源線と接続している。このため、例えば図1の第2層の電源線の間隔が2セルから4セルとなった場合に、第1の実施例の場合と同様に2セル幅の機能ブロックを配置しようとした際に、使用されない2セルの部分にも使用したセルからの第1層の強化電源配線が通ってしまう。

【0034】このため実質的に空いているはずの2セルの部分に他の機能ブロックの配置ができないというように、[1]層の電源線、この場合は第2層の電源線の2本の間隔を単位として、機能ブロックの構成と配置が制限を受けてしまう。しかし、本実施例の場合には、第1層の電源線と平行する電源配線より直接電源供給を受けるため、機能ブロックの幅の範囲内で第1層の電源線と平行する電源線への強化電源配線を配線でき、機能ブロックの構成や配置の自由度が上がるという利点がある。但し、本実施例では、予め基本セルのn型拡散層とp型拡散層とを基本セルの行（第3層の電源線と並行な並び）毎に反転させておくことが必要となる。

【0035】この実施例のような場合、機能ブロックを配置する際、上層の第2層の電源線や第3層の電源線の位置や電源の極性を意識する必要がある。この実施例では、CADの自動配置ツールの認識する基本セル上の機能ブロックの配置の向きを、第2層の電源線の左右の

4セルごとに異ならせ、さらに第3層の電源線を交互に異ならせることにより、自動配置が可能となっている。

【0036】

【発明の効果】以上説明したように、本発明は、消費電力が大きく電源配線への負担の大きな機能ブロックに対し、基本セル上の電源線の補強のための配線を基本セル上に配置される機能ブロック自体で持つようにしたものである。マスタスライスで固定的に基本セル上の電源線幅を増加させた場合のように、未使用の基本セル上の配線領域が減少してしまったり、また低消費電流の機能ブロックでのコンタクトや配線に対する障害が生じたりすることなしに、必要な機能ブロックへの電流供給能力のみを向上させることができる。また、現在通常に使用されている自動配置のCADツールでの処理において、必要な機能ブロックにのみ電源供給能力をはかることが可能である。

【図面の簡単な説明】

【図1】 本発明の第1の実施例を示すレイアウト図。

【図2】 本発明の第2の実施例を示すレイアウト図。

【図3】 第1の従来例のレイアウト図。

【図4】 第2の従来例のレイアウト図。

【符号の説明】

1a～1d 第1層の電源線

2a～2c 第2層の電源線

3a～3c 第1層の配線

4a～4d 第1層の強化電源配線

5a～5g コンタクトホール

6a～6p 1、2層間スルーホール

7a～7e n型拡散層

8a～8e p型拡散層

9a～9j ゲート電極

10a～10c 基本セル

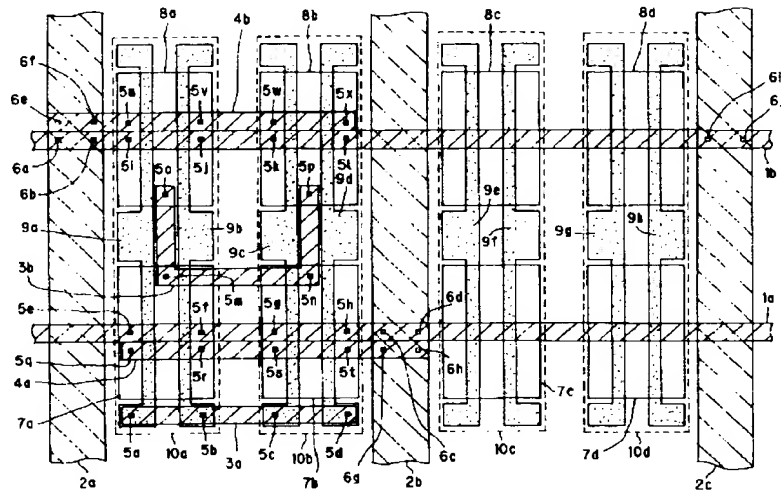
11a～11h 2、3層間スルーホール

12a、12b 第2層の強化電極配線

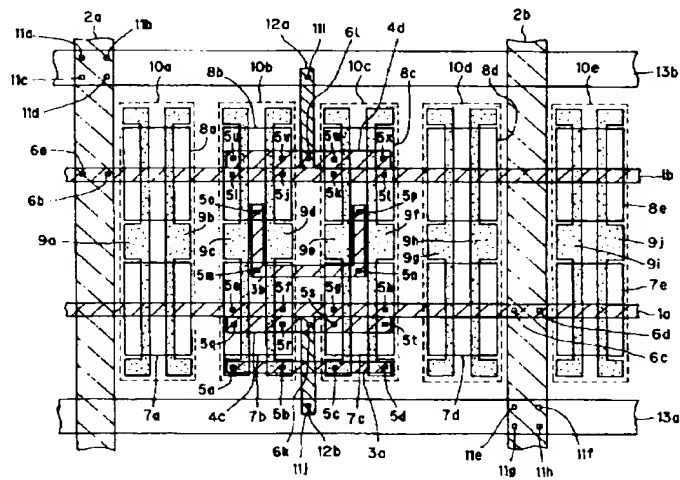
13a、13b 第3層の電極線

14a、14b 第2層の補助電源配線

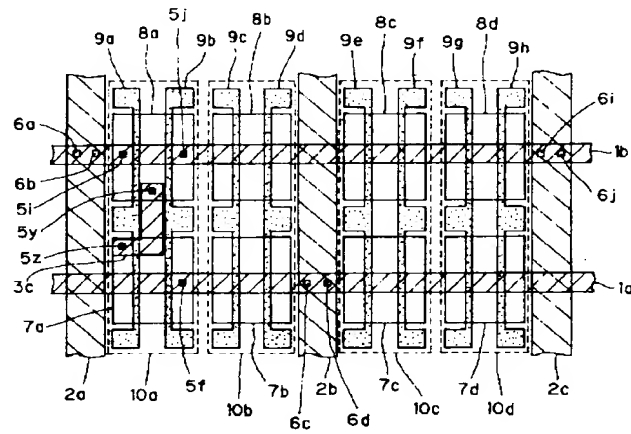
【図1】



【図2】



【図3】



【図4】

